

日本国特許庁
JAPAN PATENT OFFICE

Y. Muramatsu US
Filed 2/27/04
Q80098
10f1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 2月28日

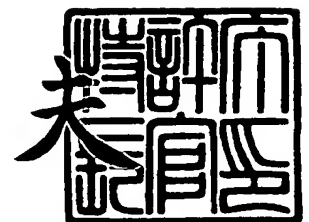
出願番号
Application Number: 特願2003-054758
[ST. 10/C]: [JP2003-054758]

出願人
Applicant(s): NECエレクトロニクス株式会社

2003年12月26日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3107830



【書類名】 特許願

【整理番号】 74112771

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 29/00

【発明の名称】 電圧制御発振器

【請求項の数】 11

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレクトロニクス株式会社内

【氏名】 村松 良徳

【特許出願人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

【識別番号】 100090158

【弁理士】

【氏名又は名称】 藤巻 正憲

【電話番号】 03-3539-5651

【手数料の表示】

【予納台帳番号】 009782

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0216549

【プルーフの要否】 要

【書類名】 明細書
【発明の名称】 電圧制御発振器
【特許請求の範囲】

【請求項 1】 第 1 及び第 2 の出力端子を備えこの第 1 及び第 2 の出力端子から相補の交流信号を発振する共振部と、前記第 1 及び第 2 の出力端子から出力された信号において夫々ハイの電位を第 1 の電位、ロウの電位を前記第 1 の電位より低い第 2 の電位に固定する増幅部と、この増幅部に前記第 1 の電位及び前記第 2 の電位のうち少なくとも一方を印加する電源部と、を有し、前記共振部はその容量の大きさを連続的及び段階的に変化させるものであり、前記電源部は前記共振部がその容量の大きさを段階的に変化させるときにこの共振部の容量が大きいほど前記第 1 の電位と前記第 2 の電位との間の電位差が大きくなるように前記第 1 の電位及び前記第 2 の電位のうち少なくとも一方を段階的に変化させるものであることを特徴とする電圧制御発振器。

【請求項 2】 前記共振部は、前記第 1 及び第 2 の出力端子間に接続されたインダクタと、このインダクタに並列に接続された可変容量素子と、各一方の電極が夫々前記第 1 及び第 2 の出力端子に接続された 1 対又は複数対の容量素子と、1 又は複数の制御信号が夫々入力されこの制御信号に基づいて前記 1 対又は複数対の容量素子の他方の電極に第 3 の電位を印加するかフローティング状態とするかを切換える 1 又は複数の第 1 スイッチ部と、を有し、前記電源部は、相互に並列に接続され各一方の端子に第 4 の電位が印加され前記 1 又は複数の制御電圧が夫々入力されこの制御電圧に基づいて前記第 1 スイッチ部が前記容量素子の他方の電極に前記第 3 の電位を印加するときに前記一方の端子を他方の端子に接続する 1 又は複数の第 2 スイッチ部と、前記第 1 の電位よりも高い第 5 の電位が印加される第 1 のノードと前記増幅部における前記第 1 の電位が印加される第 2 のノードとの間、又は前記第 2 の電位よりも低い第 6 の電位が印加される第 3 のノードと前記増幅部における前記第 2 の電位が印加される第 4 のノードとの間に接続されると共に、前記第 2 スイッチ部の他方の端子に接続され、前記 1 又は複数の第 2 スイッチ部を流れる電流の総量に比例する電流を前記第 1 のノードと前記第 2 のノードとの間に流して前記増幅部に前記第 1 の電位を印加するか、又は前

記1又は複数の第2スイッチ部を流れる電流の総量に比例する電流を前記第3のノードと前記第4のノードとの間に流して前記増幅部に前記第2の電位を印加するカレントミラー部と、を有することを特徴とする請求項1に記載の電圧制御発振器。

【請求項3】 前記第1及び第2スイッチ部がNチャネルトランジスタであり、前記制御信号がハイのときに前記第1スイッチ部が前記容量素子の他方の電極に前記第3の電位を印加すると共に前記第2スイッチ部がその一方の端子を他方の端子に接続し、前記制御信号がロウのときに前記第1スイッチ部が前記容量素子の他方の電極をフローティング状態とすると共に前記第2スイッチ部がその一方の端子を他方の端子に対して絶縁することを特徴とする請求項2に記載の電圧制御発振器。

【請求項4】 前記第1及び第2スイッチ部がPチャネルトランジスタであり、前記制御信号がロウのときに前記第1スイッチ部が前記容量素子の他方の電極に前記第3の電位を印加すると共に前記第2スイッチ部がその一方の端子を他方の端子に接続し、前記制御信号がハイのときに前記第1スイッチ部が前記容量素子の他方の電極をフローティング状態とすると共に前記第2スイッチ部がその一方の端子を他方の端子に対して絶縁することを特徴とする請求項2に記載の電圧制御発振器。

【請求項5】 前記カレントミラー部が、ドレインが前記第1のノードに接続されソースが前記第2のノードに接続されるか、又はドレインが前記第4のノードに接続されソースが前記第3のノードに接続された第1のPチャネルトランジスタと、ドレインに前記第4の電位よりも高い第7の電位が印加されソースが前記第2スイッチ部の他方の端子に接続されゲートが前記第1のPチャネルトランジスタのゲート及び前記第2スイッチ部の他方の端子に接続された第2のPチャネルトランジスタと、を有することを特徴とする請求項2乃至4のいずれか1項に記載の電圧制御発振器。

【請求項6】 前記カレントミラー部が、ドレインが前記第1のノードに接続されソースが前記第2のノードに接続されるか、又はドレインが前記第4のノードに接続されソースが前記第3のノードに接続された第1のNチャネルトラン

ジスタと、ソースに前記第 4 の電位よりも低い第 8 の電位が印加されドレインが前記第 2 スイッチ部の他方の端子に接続されゲートが前記第 1 の N チャンネルトランジスタのゲート及び前記第 2 スイッチ部の他方の端子に接続された第 2 の N チャンネルトランジスタと、を有することを特徴とする請求項 2 乃至 4 のいずれか 1 項に記載の電圧制御発振器。

【請求項 7】 前記可変容量素子が、他の制御電圧が入力され、この他の制御電圧に応じて容量が変化するバラクタ素子であることを特徴とする請求項 2 乃至 6 のいずれか 1 項に記載の電圧制御発振器。

【請求項 8】 前記インダクタが基板上に形成されたスパイラルインダクタであることを特徴とする請求項 2 乃至 7 のいずれか 1 項に記載の電圧制御発振器。

【請求項 9】 前記第 5 の電位が電源電位であり、前記第 6 の電位が接地電位であることを特徴とする請求項 2 乃至 8 のいずれか 1 項に記載の電圧制御発振器。

【請求項 10】 前記増幅部が、ドレインに前記第 1 の電位が印加されソースが前記第 1 の出力端子に接続されゲートが前記第 2 の出力端子に接続された第 3 の P チャンネルトランジスタと、ドレインに前記第 1 の電位が印加されソースが前記第 2 の出力端子に接続されゲートが前記第 1 の出力端子に接続された第 4 の P チャンネルトランジスタと、ソースに前記第 2 の電位が印加されドレインが前記第 1 の出力端子に接続されゲートが前記第 2 の出力端子に接続された第 3 の N チャンネルトランジスタと、ソースに前記第 2 の電位が印加されドレインが前記第 2 の出力端子に接続されゲートが前記第 1 の出力端子に接続された第 4 の N チャンネルトランジスタと、を有することを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の電圧制御発振器。

【請求項 11】 フェーズ・ロックド・ループ回路のローカルオシレータであることを特徴とする請求項 1 乃至 10 のいずれか 1 項に記載の電圧制御発振器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、並列 LC タンク回路の共振現象を利用した電圧制御発振器に関し、特に、容量スイッチを備え発信周波数を段階的に変化させることができ、位相雑音の低減を図った電圧制御発振器に関する。

【0002】

【従来の技術】

従来、周波数通倍及び位相同期を目的として使用されるフェーズ・ロックド・ループ (PLL: Phase Locked Loop) 回路のローカルオシレータ (LO) として、並列 LC タンク回路の共振現象を利用した電圧制御発振器 (LC-VCO: LC-Voltage Controlled Oscillator) が使用されている。この LC-VCO においては、インダクタと可変キャパシタとが相互に並列に接続されて並列 LC タンク回路が形成されており、この並列 LC タンク回路の共振現象により、周波数が共振周波数である交流信号を発振するようになっている。共振周波数とは、並列 LC タンク回路のリアクタンスが零となる周波数をいい、共振現象とは、並列 LC タンク回路においてインダクタ及び可変キャパシタに電流が交互に流れる現象をいう。また、可変キャパシタにはバラクタ素子等が使用され、印加される制御電圧に応じて容量が変化するようになっている。インダクタのインダクタンスを L とし、可変キャパシタの容量を C とすると、共振周波数 f は下記数式 1 により与えられる。下記数式 1 より、可変キャパシタの容量 C を増加させれば、共振周波数 f が減少することがわかる。

【0003】

【数 1】

$$f = \frac{1}{2\pi\sqrt{LC}}$$

【0004】

リングオシレータ等を使用した従来の VCO と比較して、LC-VCO には以下に示す利点がある。第 1 に、LC-VCO は雑音が小さい。これは、LC-VCO は並列 LC タンク回路の共振を基本原理としているため、雑音の原因となるトランジスタの数が少ないことに起因する。このため、LC-VCO は、高速光

通信、携帯電話、無線LAN等に好適である。第2に、LC-VCOはLC回路の共振を基本原理としているため、トランジスタにより構成され論理ゲート遅延を利用したVCOよりも発振する交流信号の周波数（以下、発振周波数という）を高くすることが容易である。第3に、制御電圧に対する発振周波数の可変幅が小さい。このため、チューニング感度が低く、制御電圧の変動に起因する発振周波数の変動が少なく、この結果、発振周波数のゆらぎである位相雑音が小さい。

【0005】

一方、並列LCタンク回路においては、発振周波数を変化させると、必要とする電流量が変動する。発振周波数の角速度を ω_0 、並列LCタンク回路の抵抗値を R_{eff} 、並列LCタンク回路が消費するエネルギー量を G_{neg} とすると、下記数式2が成立する。上記数式1及び下記数式2からわかるように、発振周波数 f を低くしようとして可変キャパシタの容量 C を大きくすると、必要とされる電流量が増大する。

【0006】

【数2】

$$G_{neg} = R_{eff} \times (\omega_0 \times C)^2$$

【0007】

並列LCタンク回路に供給する電流量が過剰であると、位相雑音が増大する。オフセット周波数 f_{offset} において観測される位相雑音の大きさを $L(f_{offset})$ 、ボルツマン定数を k 、絶対温度を T 、LC-VCO全体に供給するエネルギー量を $G_{m,amp}$ 、発振周波数を f_{osc} 、出力信号の振幅を V_{rms} とすると、位相雑音の大きさ $L(f_{offset})$ は、下記数式3により与えられる。下記数式3からわかるように、並列LCタンク回路が消費するエネルギー量 G_{neg} に対するLC-VCOに供給するエネルギー量 $G_{m,amp}$ 、即ち、比 $(G_{m,amp}/G_{neg})$ が大きいと、位相雑音 L が増大する。

【0008】

【数 3】

$$L(f_{\text{offset}}) = \frac{k \times T \times R_{\text{eff}} \times \left(1 + \frac{G_{m, \text{amp}}}{G_{\text{neg}}}\right) \times \left(\frac{f_{\text{osc}}}{f_{\text{offset}}}\right)^2}{V_{\text{rms}}^2}$$

【0009】

このため、LC-VCOを安定して動作させるためには、並列LCタンク回路に供給する電流を適正に制御する必要がある。即ち、供給する電流が少な過ぎると、信号の発振が止まってしまう。一方、供給する電流が多過ぎると、位相雑音が大きくなる。

【0010】

従来、可変キャパシタの動作に連動して並列LCタンク回路に供給する電流を制御することを目的として、可変キャパシタに入力する制御電圧に基づいて電流を制御するLC-VCOが開発されている（例えば、特許文献1参照。）。図2は、特許文献1に示されている従来のLC-VCOを示す等価回路図である。図2に示すように、この従来のLC-VCO 101においては、電源電位配線VCCに接続された可変電流源回路102が設けられている。可変電流源回路102は、制御電圧V_{ctrl}が入力され、この制御電圧V_{ctrl}に応じて電流を出力するものである。

【0011】

また、可変電流源回路102の出力電流はカレントミラー回路部103に入力するようになっている。カレントミラー回路部103は接地電位配線GNDに接続されており、可変電流源回路102の出力電流に比例する大きさの電流を出力するものである。

【0012】

更に、LC-VCO 101には、電源電位配線VCCに接続されたカレントミラー回路部104が設けられている。カレントミラー回路部104は、カレントミラー回路部103の出力電流が入力され、この出力電流に比例する大きさの電流を出力するものである。

【0013】

更にまた、カレントミラー回路部 104 と接地電位配線 GND との間には、カレントミラー回路部 104 から接地電位配線 GND に向かって、負性抵抗部 105、LC 回路部 106 及び負性抵抗部 107 がこの順に設けられている。LC 回路部 106 は、LC 回路の共振現象を利用して相補の交流信号を出力するものであり、負性抵抗部 105 及び 107 は LC 回路部 106 が出力する交流信号に同期して LC 回路部 106 に電流を供給するものである。

【0014】

可変電流源回路 102 においては、相互に並列に接続された 2 個の P チャネルトランジスタ P101 及び P102 が設けられている。P チャネルトランジスタ P101 及び P102 のドレインは電源電位配線 VCC に接続されており、ソースはノード 111 に接続されている。また、P チャネルトランジスタ P101 のゲートにはバイアス電圧が印加されるバイアス電圧端子 TB101 が接続されており、P チャネルトランジスタ P102 のゲートには制御電圧が印加される制御電圧端子 TC101 が接続されている。

【0015】

カレントミラー回路部 103 においては、2 個の N チャネルトランジスタ N101 及び N102 が設けられている。N チャネルトランジスタ N101 のドレイン及びゲートは可変電流源回路 102 のノード 111 に接続されており、ソースは接地電位配線 GND に接続されている。また、N チャネルトランジスタ N102 のゲートはノード 111 に接続されており、ソースは接地電位配線 GND に接続されており、ドレインはカレントミラー回路部 104 のノード 112 に接続されている。

【0016】

カレントミラー回路部 104 においては、2 個の P チャネルトランジスタ P103 及び P104 が設けられている。P チャネルトランジスタ P103 のソース及びゲートはノード 112 に接続されており、ドレインは電源電位配線 VCC に接続されている。また、P チャネルトランジスタ P104 のゲートはノード 112 に接続されており、ドレインは電源電位配線 VCC に接続されており、ソースはノード 113 に接続されている。

【0017】

負性抵抗部105においては、2個のPチャネルトランジスタP105及びP106が設けられている。PチャネルトランジスタP105のドレインはノード113に接続されており、ソースはLC回路部106の出力端子T_{out}101に接続されており、ゲートは出力端子T_{out}102に接続されている。また、PチャネルトランジスタP106のドレインはノード113に接続されており、ソースはLC回路部106の出力端子T_{out}102に接続されており、ゲートは出力端子T_{out}101に接続されている。

【0018】

LC回路部106において、出力端子T_{out}101及びT_{out}102の間には、インダクタL101が接続されている。また、2個の可変容量ダイオードD101及びD102が設けられており、可変容量ダイオードD101のアノードは出力端子T_{out}101に接続されており、可変容量ダイオードD102のアノードは出力端子T_{out}102に接続されており、可変容量ダイオードD101及びD102のカソードはノード114に共通接続されており、ノード114は可変電流源回路102の制御電圧端子T_C101に接続されている。即ち、可変容量ダイオードD1及びD2からなる回路は、インダクタL101に並列に接続されている。インダクタL101並びに可変容量ダイオードD1及びD2により、並列LCタンク回路が形成されている。

【0019】

負性抵抗部107においては、2個のNチャネルトランジスタN103及びN104が設けられており、NチャネルトランジスタN103のドレインはLC回路部106の出力端子T_{out}101に接続されており、ソースは接地電位配線GNDに接続されており、ゲートは出力端子T_{out}102に接続されている。また、NチャネルトランジスタN104のドレインは出力端子T_{out}102に接続されており、ソースは接地電位配線GNDに接続されており、ゲートは出力端子T_{out}101に接続されている。

【0020】

この従来のLC-VCO101の動作について説明する。LC-VCO101

においては、バイアス電圧として、常にロウの信号が可変電流源回路 102 のバイアス端子 T_{B101} に印加される。これにより、Pチャネルトランジスタ $P101$ が常にオンになる。

【0021】

そして、制御電圧としてハイの信号が制御電圧端子 T_{C101} に印加されると、Pチャネルトランジスタ $P102$ がオフになる。これにより、Nチャネルトランジスタ $N101$ のソースがPチャネルトランジスタ $P101$ のみにより電源電位配線 VCC に接続される。この結果、Nチャネルトランジスタ $N101$ のゲート電位が接地電位よりも高い電位となり、Nチャネルトランジスタ $N101$ がオンになり、（電源電位配線 VCC - Pチャネルトランジスタ $P101$ - ノード 111 - Nチャネルトランジスタ $N101$ - 接地電位配線 GND ）からなる経路に電流が流れる。

【0022】

そして、Nチャネルトランジスタ $N101$ のゲートとNチャネルトランジスタ $N102$ のゲートとは同電位となるため、Nチャネルトランジスタ $N101$ がオンになると、Nチャネルトランジスタ $N102$ もオンになり、ノード 112 がNチャネルトランジスタ $N102$ を介して接地電位配線 GND に接続される。

【0023】

これにより、Pチャネルトランジスタ $P103$ のゲート及びPチャネルトランジスタ $P104$ のゲートにロウの電位が印加され、Pチャネルトランジスタ $P103$ 及び $P104$ が共にオンになる。この結果、負性抵抗部 105 のノード 113 がPチャネルトランジスタ $P104$ を介して電源電位配線 VCC に接続される。

【0024】

これにより、LC回路部 106 に電氣的な刺激が印加され、LC回路部 106 の共振周波数を発振周波数とする相補の交流信号が出力端子 T_{out101} 及び T_{out102} から発振される。

【0025】

このとき、LC回路部 106 のみでは、寄生抵抗による電流の損失が生じるた

め、発振はいずれ止まってしまう。そこで、負性抵抗部 105 及び 107 が LC 回路部 106 に電流を供給する。例えば、出力端子 T_{out101} がロウになり、出力端子 T_{out102} がハイになると、Pチャネルトランジスタ P105 がオフになり、Nチャネルトランジスタ N103 がオンになる。この結果、出力端子 T_{out101} には接地電位が印加される。また、Pチャネルトランジスタ P106 がオンになり、Nチャネルトランジスタ N104 がオフになるため、出力端子 T_{out102} には電源電位が印加される。同様に、出力端子 T_{out101} がハイになり、出力端子 T_{out102} がロウになると、出力端子 T_{out101} には電源電位が印加され、出力端子 T_{out102} には接地電位が印加される。これにより、出力端子 T_{out101} 及び T_{out102} からの発振が減衰することなく持続する。

【0026】

そして、制御電圧端子 T_C101 及びノード 114 を介して可変容量ダイオード D1 及び D2 のカソードに制御電圧が印加されるが、この制御電圧はハイであるため、可変容量ダイオード D1 及び D2 の容量値は小さくなる。このため、上記数式 1 により、発振周波数 f は高くなる。

【0027】

この状態から制御電圧を低下させていくと、可変容量ダイオード D1 及び D2 のカソードに印加される電圧が低下するため、可変容量ダイオード D1 及び D2 の容量値は大きくなる。これにより、上記数式 1 より、発振周波数 f は低くなる。このとき、上記数式 1 及び 2 より、必要とされる電流量は増大するが、以下の動作により、LC 回路部 106 に供給される電流量が増大する。

【0028】

即ち、制御電圧を低下させていくことにより、可変電流源回路 102 の Pチャネルトランジスタ P102 のゲート電位が低下し、Pチャネルトランジスタ P102 に電流が流れ始める。これにより、Nチャネルトランジスタ N101 及び N102 のゲート電位が上昇し、Nチャネルトランジスタ N101 及び N102 を流れる電流が増加する。この結果、Pチャネルトランジスタ P103 及び P104 のゲート電位が低下し、Pチャネルトランジスタ P103 及び P104 を流れ

る電流が増加する。これにより、ノード 113 の電位が上昇し、LC 回路部 106 に供給される電流量が増大する。

【0029】

このように、従来の LC-VCO 101 においては、LC 回路部 106 の可変容量ダイオード D1 及び D2 のカソードに印加する制御電圧を、可変電流源回路 102 の P チャネルトランジスタ P102 のゲートにも印加することにより、発振周波数に連動して LC 回路部 106 に供給する電流量を変化させることができる。

【0030】

【特許文献 1】

特開 2001-313527 号公報 (図 2)

【0031】

【発明が解決しようとする課題】

しかしながら、上述の従来の技術には、以下に示すような問題点がある。図 3 は、横軸に制御電圧をとり縦軸に可変容量ダイオードの容量をとって、可変容量ダイオードの容量の大きさと制御電圧との関係、即ち、C-V カーブを示すグラフ図である。図 2 に示す従来の LC-VCO 101 においては、可変容量ダイオードの容量を変えながら、供給する電流の大きさを調整している。しかしながら、図 3 に示すように、可変容量ダイオード等の可変容量素子においては、C-V カーブが急峻になっている電圧範囲 120 があり、この電圧範囲 120 においては、容量が制御電圧の変動に対して敏感になっている。このため、この電圧範囲 120 において、容量値及び電流値を共に変化させると、LC-VCO 101 の動作が不安定になり、かえって位相雑音が大きくなる。また、LC-VCO 101 においては、制御電圧に依存して電流の大きさが変化するため、制御電圧のゆらぎが電流のゆらぎになり、その結果、発振周波数もゆらいでしまい、位相雑音が増大する。

【0032】

本発明はかかる問題点に鑑みてなされたものであって、動作を安定に保ちつつ位相雑音を低減させることが可能な電圧制御発振器を提供することを目的とする

【0033】**【課題を解決するための手段】**

本発明に係る電圧制御発振器は、第1及び第2の出力端子を備えこの第1及び第2の出力端子から相補の交流信号を発振する共振部と、前記第1及び第2の出力端子から出力された信号において夫々ハイの電位を第1の電位、ロウの電位を前記第1の電位より低い第2の電位に固定する増幅部と、この増幅部に前記第1の電位及び前記第2の電位のうち少なくとも一方を印加する電源部と、を有し、前記共振部はその容量の大きさを連続的及び段階的に変化させるものであり、前記電源部は前記共振部がその容量の大きさを段階的に変化させるときにこの共振部の容量が大きいほど前記第1の電位と前記第2の電位との間の電位差が大きくなるように前記第1の電位及び前記第2の電位のうち少なくとも一方を段階的に変化させるものであることを特徴とする。

【0034】

本発明においては、共振部の容量の大きさを連続的に変化させるときには、第1の電位と第2の電位との間の電位差を変化させないため動作が不安定になることがなく、共振部の容量の大きさを段階的に変化させるときに、電位差を段階的に変化させることにより、共振部に供給する電流量を調節している。これにより、動作の安定性を維持したまま、位相雑音を低減することができる。また、本発明においては、容量を連続的及び段階的に変化させることにより、発振周波数のチューニング感度を低く維持したまま、発振周波数を広い範囲にわたって変化させることができる。発振周波数を広い範囲にわたって変化させると、必要とされる電流量も大きく変化するが、本発明においては、電位差を段階的に切替えることにより、電流量を大きく変化させることができるため、位相雑音が増大することがない。

【0035】

また、前記共振部は、前記第1及び第2の出力端子間に接続されたインダクタと、このインダクタに並列に接続された可変容量素子と、各一方の電極が夫々前記第1及び第2の出力端子に接続された1対又は複数対の容量素子と、1又は複

数の制御信号が夫々入力されこの制御信号に基づいて前記1対又は複数対の容量素子の他方の電極に第3の電位を印加するかフローティング状態とするかを切換える1又は複数の第1スイッチ部と、を有し、前記電源部は、相互に並列に接続され各一方の端子に第4の電位が印加され前記1又は複数の制御電圧が夫々入力されこの制御電圧に基づいて前記第1スイッチ部が前記容量素子の他方の電極に前記第3の電位を印加するときに前記一方の端子を他方の端子に接続する1又は複数の第2スイッチ部と、前記第1の電位よりも高い第5の電位が印加される第1のノードと前記増幅部における前記第1の電位が印加される第2のノードとの間、又は前記第2の電位よりも低い第6の電位が印加される第3のノードと前記増幅部における前記第2の電位が印加される第4のノードとの間に接続されると共に、前記第2スイッチ部の他方の端子に接続され、前記1又は複数の第2スイッチ部を流れる電流の総量に比例する電流を前記第1のノードと前記第2のノードとの間に流して前記増幅部に前記第1の電位を印加するか、又は前記1又は複数の第2スイッチ部を流れる電流の総量に比例する電流を前記第3のノードと前記第4のノードとの間に流して前記増幅部に前記第2の電位を印加するカレントミラー部と、を有することが好ましい。

【0036】

これにより、第1スイッチ部が制御信号に基づいて各容量素子対に第3の電位を印加するかフローティング状態とすることにより、共振部の容量を段階的に変化させることができ、発振周波数を段階的に変化させることができる。そして、このとき、同じ制御信号により、各第2スイッチ部を開閉することにより、全ての第2スイッチ部に流れる電流の総量の大きさを段階的に変化させることができ、カレントミラー部が増幅部にこの電流の総量に比例する大きさの電流を流すことにより、第1又は第2の電位を段階的に変化させることができる。

【0037】

更に、前記第1及び第2スイッチ部がNチャネルトランジスタであり、前記制御信号がハイのときに前記第1スイッチ部が前記容量素子の他方の電極に前記第3の電位を印加すると共に前記第2スイッチ部がその一方の端子を他方の端子に接続し、前記制御信号がロウのときに前記第1スイッチ部が前記容量素子の他方

の電極をフローティング状態とすると共に前記第2スイッチ部がその一方の端子を他方の端子に対して絶縁してもよく、又は、前記第1及び第2スイッチ部がPチャネルトランジスタであり、前記制御信号がロウのときに前記第1スイッチ部が前記容量素子の他方の電極に前記第3の電位を印加すると共に前記第2スイッチ部がその一方の端子を他方の端子に接続し、前記制御信号がハイのときに前記第1スイッチ部が前記容量素子の他方の電極をフローティング状態とすると共に前記第2スイッチ部がその一方の端子を他方の端子に対して絶縁してもよい。

【0038】

【発明の実施の形態】

以下、本発明の実施形態について添付の図面を参照して具体的に説明する。図1は本実施形態に係る電圧制御発振器を示す等価回路図である。図1に示すように、本実施形態に係る電圧制御発振器であるLC-VCO1は、電源電位配線VCC及び接地電位配線GNDに接続されている。LC-VCO1は、例えば半導体基板（図示せず）上に集積回路として形成されており、例えば、周波数通倍及び位相同期を目的として使用されるフェーズ・ロックド・ループ回路（PLL回路）のローカルオシレータ（LO）として使用される。

【0039】

本実施形態に係るLC-VCO1には、電源電位配線VCCに接続されたカレントミラー回路部3が設けられており、このカレントミラー回路部3と接地電位配線GNDとの間に、カレントミラー回路部3に流す電流の大きさを調整する電流制御部4が設けられている。カレントミラー回路部3及び電流制御部4により電源部が形成されている。また、カレントミラー回路部3と接地電位配線GNDとの間には、電流制御部4と並列に、カレントミラー回路部3から接地電位配線GNDに向かって、負性抵抗部5、共振部としてのLC回路部6、負性抵抗部7がこの順に配置されている。なお、負性抵抗部5及び7により増幅部が形成されている。

【0040】

カレントミラー回路部3においては、2個のPチャネルトランジスタP1及びP2が設けられている。PチャネルトランジスタP1及びP2のドレインは電源

電位配線 VCC に接続されており、ゲートはノード 11 に共通接続されている。そして、P チャネルトランジスタ P1 のソースはノード 11 に接続されており、P チャネルトランジスタ P2 のソースはノード 12 に接続されている。

【0041】

電流制御部 4 においては、カレントミラー回路部 3 のノード 11 と接地電位配線 GND との間に、スイッチ素子としての 4 個の N チャネルトランジスタ N1 乃至 N4 が相互に並列に接続されている。即ち、N チャネルトランジスタ N1 乃至 N4 の各ドレインはノード 11 に共通接続されており、各ソースは接地電位配線 GND に接続されている。そして、N チャネルトランジスタ N1 のゲート端子 T_{G1} にはバイアス電圧が印加されるようになっており、N チャネルトランジスタ N2 のゲート端子 T_{G2} には制御電圧 V₂ が印加されるようになっており、N チャネルトランジスタ N3 のゲート端子 T_{G3} には制御電圧 V₃ が印加されるようになっており、N チャネルトランジスタ N4 のゲート端子 T_{G4} には制御電圧 V₄ が印加されるようになっている。なお、バイアス信号は所定の電圧範囲において任意の電圧をとりうるアナログ信号であり、制御電圧 V₂、V₃ 及び V₄ はハイ及びロウの 2 値をとるデジタル信号である。また、N チャネルトランジスタ N1 乃至 N3 は夫々第 2 スイッチ部である。

【0042】

負性抵抗部 5 においては、2 個の P チャネルトランジスタ P3 及び P4 が設けられている。P チャネルトランジスタ P3 及び P4 のドレインは電源電位配線 VCC に接続されている。

【0043】

LC 回路部 6 においては、出力端子 T_{out1} 及び T_{out2} が設けられている。出力端子 T_{out1} 及び T_{out2} は LC 回路部 6 の出力信号を、相補信号として出力するものである。出力端子 T_{out1} は P チャネルトランジスタ P3 のソース及び P チャネルトランジスタ P4 のゲートに接続されており、出力端子 T_{out2} は P チャネルトランジスタ P4 のソース及び P チャネルトランジスタ P3 のゲートに接続されている。

【0044】

また、出力端子 T_{out1} と出力端子 T_{out2} との間には、インダクタ L が接続されている。インダクタ L は例えば、半導体基板上に設けられた多層配線層のうち最上層の配線層に形成されたスパイラルインダクタである。更に、出力端子 T_{out1} と出力端子 T_{out2} との間には、可変容量素子 $C1$ 及び $C2$ が直列に接続されている。即ち、可変容量素子 $C1$ 及び $C2$ からなる回路は、インダクタ L に並列に接続されている。可変容量素子 $C1$ 及び $C2$ は入力される制御電圧に応じて容量が変化するキャパシタであり、例えばバラクタ素子又は可変容量ダイオードである。可変容量素子 $C1$ と可変容量素子 $C2$ との間のノード 13 には、制御電圧 V_1 が入力されるようになっている。なお、制御電圧 V_1 は所定の範囲内において任意の中間値を取り、連続的に変化することができるアナログ信号である。

【0045】

更にまた、LC回路部 6 には、出力端子 T_{out1} 及び T_{out2} に接続された容量スイッチ部 14 が設けられており、容量スイッチ部 14 には、スイッチ用容量素子 $C3$ 乃至 $C8$ 、及びスイッチ $S1$ 乃至 $S6$ が設けられている。容量素子 $C3$ 乃至 $C5$ の一方の電極は出力端子 T_{out1} に接続されており、他方の電極は夫々スイッチ $S1$ 乃至 $S3$ に接続されている。また、容量素子 $C6$ 乃至 $C8$ の一方の電極は出力端子 T_{out2} に接続されており、他方の電極は夫々スイッチ $S4$ 乃至 $S6$ に接続されている。スイッチ $S1$ 乃至 $S6$ は、夫々容量素子 $C3$ 乃至 $C8$ の他方の電極に接地電位を印加するか、フローティング状態とするかを切換えるものである。

【0046】

スイッチ $S1$ 及び $S4$ は、制御電圧 V_2 により動作するものであり、例えば、Nチャネルトランジスタである。例えば、スイッチ $S1$ を構成するNチャネルトランジスタは、ゲートに制御電圧 V_2 が印加されるようになっており、ドレインが容量素子 $C3$ の出力端子 T_{out1} に接続されていない側の電極に接続されており、ソースが接地電位配線 GND に接続されており、制御電圧 V_2 がハイのときにオンとなり容量素子 $C3$ の電極を接地電位配線 GND に接続し、制御電圧 V_2 がロウのときにオフとなり容量素子 $C3$ の電極をフローティング状態とするも

のである。なお、スイッチS1及びS4により第1スイッチ部が形成されている。同様に、スイッチS2及びS5は、制御電圧V₃により動作するものであり、例えば、制御電圧V₃がハイのときにオンとなり容量素子C4及びC7の電極を接地電位配線GNDに接続し、制御電圧V₃がロウのときにオフとなり容量素子C4及びC7の電極をフローティング状態とするNチャネルトランジスタである。スイッチS2及びS5により他の第1スイッチ部が形成されている。そして、スイッチS3及びS6は、制御電圧V₄により動作するものであり、例えば、制御電圧V₄がハイのときにオンとなり容量素子C5及びC8の電極を接地電位配線GNDに接続し、制御電圧V₄がロウのときにオフとなり容量素子C5及びC8の電極をフローティング状態とするNチャネルトランジスタである。スイッチS3及びS6により更に他の第1スイッチ部が形成されている。

【0047】

負性抵抗部7においては、2個のNチャネルトランジスタN5及びN6が設けられており、NチャネルトランジスタN5のドレインはLC回路部6の出力端子T_{out1}に接続されており、ソースは接地電位配線GNDに接続されており、ゲートは出力端子T_{out2}に接続されている。また、NチャネルトランジスタN6のドレインは出力端子T_{out2}に接続されており、ソースは接地電位配線GNDに接続されており、ゲートは出力端子T_{out1}に接続されている。

【0048】

なお、本実施形態において、Pチャネルトランジスタ及びNチャネルトランジスタは、例えば、半導体基板上に形成されたPMOSFET (P type Metal Oxide Semiconductor Field Effect Transistor: 金属酸化物半導体電界効果トランジスタ) 及びNMOSFETである。

【0049】

次に、このLC-VCO1の動作について説明する。まず、制御電圧V₂、V₃及びV₄がロウの場合について説明する。電流制御部4のNチャネルトランジスタN1のゲート端子T_{G1}に所定のバイアス電圧を印加すると、NチャネルトランジスタN1がオンとなり、NチャネルトランジスタN1に一定の電流が流れる。一方、制御電圧V₂、V₃及びV₄がロウであるため、Nチャネルトランジ

スタ N 2 乃至 N 4 はオフとなる。この結果、ノード 1 1 と接地電位配線 GND とは、N チャンネルトランジスタ N 1 のみにより接続される。

【0050】

これにより、ノード 1 1 の電位が電源電位よりも低い所定の電位となり、P チャンネルトランジスタ P 1 がオンになると共に、P チャンネルトランジスタ P 2 がオンとなり、P チャンネルトランジスタ P 1 に一定の電流が流れると共に、P チャンネルトランジスタ P 2 に、P チャンネルトランジスタ P 1 に流れる電流に比例した大きさの電流が流れる。この結果、ノード 1 2 の電位が接地電位よりも高い所定の電位となる。

【0051】

これにより、LC 回路部 6 に電氣的な刺激が印加され、LC 回路部 6 の共振周波数を発振周波数とする相補の交流信号が出力端子 T_{out} 1 及び T_{out} 2 から発振される。

【0052】

そして、負性抵抗部 5 及び 7 が、LC 回路部 6 に電流を供給し、この共振による発振を持続させる。例えば、出力端子 T_{out} 1 がロウになり、出力端子 T_{out} 2 がハイになると、P チャンネルトランジスタ P 3 がオフになり、N チャンネルトランジスタ N 5 がオンになる。この結果、出力端子 T_{out} 1 には接地電位が印加される。また、P チャンネルトランジスタ P 4 がオンになり、N チャンネルトランジスタ N 6 がオフになるため、出力端子 T_{out} 2 には接地電位よりも高いノード 1 2 の電位が印加される。同様に、出力端子 T_{out} 1 がハイになり、出力端子 T_{out} 2 がロウになると、出力端子 T_{out} 1 にはノード 1 2 の電位が印加され、出力端子 T_{out} 2 には接地電位が印加される。このように、負性抵抗部 5 及び 7 は、出力端子 T_{out} 1 及び T_{out} 2 から発振される相補信号において、ハイの電位をノード 1 2 の電位に固定し、ロウの電位を接地電位に固定する。これにより、出力端子 T_{out} 1 及び T_{out} 2 からの発振が減衰することなく持続する。

【0053】

このとき、制御電圧 V₂、V₃、V₄ はいずれもロウであるため、スイッチ S

1乃至S6はいずれも開いており、容量素子C3乃至C8における出力端子T_{out1}又はT_{out2}に接続されていない側の電極はフローティング状態となる。このため、容量素子C3乃至C8は容量として機能せず、容量スイッチ部14全体の容量値は寄生容量値のみとなる。これにより、LC回路部6の容量は実質的に可変容量素子C1及びC2のみとなり、低い値となる。この結果、前記数式1より、発振周波数は高いものとなる。

【0054】

このとき、ノード13に印加する制御電圧V₁を調整することにより、可変容量素子C1及びC2の容量を調節し、発振周波数を連続的に変化させることができる。また、ゲート端子T_{G1}に印加するバイアス電圧を調整することにより、電流制御部4のNチャネルトランジスタN1を流れる電流の大きさを制御し、ノード12の電位を制御することができる。これにより、最適な電流をLC回路部6に供給することができる。

【0055】

次に、制御電圧V₂、V₃、V₄のうち1以上の制御電圧をハイとする場合について説明する。例えば、制御電圧V₂をハイとし、制御電圧V₃及びV₄をロウのままとする場合について説明する。制御電圧V₂をハイにすると、LC回路部6のスイッチS1及びS4が閉じ、容量素子C3及びC6における夫々出力端子T_{out1}及びT_{out2}に接続されていない側の電極が接地電位配線GNDに接続される。これにより、容量素子C3及びC6が容量として機能するようになり、LC回路部6全体の容量値が増大する。この結果、前記数式1により、発振周波数が低くなる。即ち、容量素子C3及びC6に起因する容量スイッチ部14の容量の増加分をC₁とすると、制御電圧V₂をハイとしたときの発振周波数f₁は下記数式4により与えられる。

【0056】

【数4】

$$f_1 = \frac{1}{2\pi\sqrt{L \times (C + C_1)}}$$

【0057】

また、このとき、LC回路部6の容量値が増大することにより、前記数式2よりLC回路部6が必要とする電流量が増大する。しかしながら、制御電圧 V_2 がハイになることにより、電流制御部4のNチャネルトランジスタN2がオンとなり、2個のNチャネルトランジスタN1及びN2に電流が流れるようになる。このため、前述のNチャネルトランジスタN2乃至N4がオフである場合と比較して、ノード11の電位がより低くなり、PチャネルトランジスタP1を流れる電流量が増大すると共に、PチャネルトランジスタP2を流れる電流量が増大する。この結果、ノード12の電位がより高くなり、LC回路部6に供給される電流量が増大する。従って、LC回路部6が電流不足になることはない。

【0058】

なお、制御電圧 V_2 をハイとしたまま、制御電圧 V_3 及び／又は制御電圧 V_4 をハイとすることにより、発振周波数をより一層低くすると共に、LC回路部6に供給する電流量をより一層増加させることができる。

【0059】

このように、本実施形態に係るLC-VCO1においては、制御電圧 V_2 、 V_3 、 V_4 の電位を夫々切換えることにより、発振周波数を段階的に変化させることができると共に、この発振周波数の段階的な変化に連動させて、LC回路部6に供給する電流量を段階的に変化させることができる。これにより、LC回路部6に常に適正な大きさの電流を供給できる。このため、電流不足により交流信号の発振が止まったり、電流過剰により位相雑音が増大したりすることを防止できる。また、制御電圧 V_1 により発振周波数を連続的に変化させているときには、LC回路部6に供給する電流量は変化させていないため、LC-VCO1の動作が不安定になることがない。

【0060】

また、本実施形態においては、可変容量素子C1及びC2の容量を変化させることにより、LC回路部6の容量を連続的に変化させることができ、また、スイッチS1乃至S6を切換えることにより、LC回路部6の容量を段階的に変化させることができる。これにより、発振周波数のチューニング感度を低く維持したまま、発振周波数を広い範囲で制御することができる。発振周波数を広い範囲に

わたって変化させると、必要とされる電流量も大きく変化するが、LC-VCO 1においては、前述の如く、LC回路部6に供給する電流量を大きく変化させることができるため、位相雑音が増大することがない。

【0061】

なお、本実施形態においては、制御電圧を3種類とし、電流制御部4において、この3種類の制御電圧が夫々印加される3個のNチャネルトランジスタN2乃至N4を設け、LC回路部6において、この3種類の制御電圧が夫々印加される3対のスイッチS1乃至S6及び3対のスイッチ用容量素子C3乃至C8を設けているが、本発明はこれに限定されない。即ち、制御電圧を2種類以下又は4種類以上とし、制御電圧が印加されるNチャネルトランジスタを2個以下又は4個以上とし、スイッチ及びスイッチ用容量素子を2対以下又は4対以上としてもよい。

【0062】

また、NチャネルトランジスタN1乃至N4の替わりに、Pチャネルトランジスタ又はCMOSトランジスタを設けてもよく、スイッチS1乃至S6をNチャネルトランジスタ以外の素子により構成してもよい。NチャネルトランジスタN1乃至N4の替わりにPチャネルトランジスタを設け、スイッチS1乃至S6をPチャネルトランジスタにより構成する場合は、これらのPチャネルトランジスタは制御電圧がロウのときにオンとなるようになる。

【0063】

更に、カレントミラー部3を負性抵抗部7と接地電位配線GNDとの間に設けてもよい。更にまた、カレントミラー回路部3のPチャネルトランジスタP1及びP2の替わりに、Nチャネルトランジスタを設けてもよい。この場合、電流制御部4をカレントミラー回路部3と電源電位配線VCCとの間に設けることができる。

【0064】

更にまた、図1の等価回路図に示す各構成要素は、その機能を示しているものであり、各構成要素は必ずしも単一の素子により形成されている必要はなく、複数の素子により構成されていてもよい。例えば、スイッチS1は必ずしも1個の

Nチャネルトランジスタにより構成されていなくてもよく、スイッチ機能を持つ他の素子又は複数の素子からなる回路により構成されていてもよい。

【0065】

更にまた、NチャネルトランジスタN2乃至N4のチャネル幅は相互に異なってもよく、容量素子C3乃至C8の容量値は相互に異なってもよい。これにより、容量として使用する容量素子を任意に組み合わせることにより、容量スイッチ部14の容量値の段階数を増やすことができる。これにより、発振周波数をより精密に制御することができる。

【0066】

更にまた、容量素子C3及びC6における出力端子に接続されていない側の電極は相互に接続されていてもよい。この場合、1個のスイッチにより、容量素子C3及びC6の電極を接地電位配線GNDに接続するかフローティング状態にするかを切換えることができる。同様に、容量素子C4及びC7の電極が相互に接続されていてもよく、容量素子C5及びC8の電極が相互に接続されていてもよい。

【0067】

【発明の効果】

以上詳述したように、本発明によれば、共振部の容量の大きさを段階的に変化させるときに、電源部が第1の電位と第2の電位との間の電位差を段階的に変化させることにより、共振部に供給する電流量を調節し、動作を安定に保ちつつ位相雑音を低減することができる。

【図面の簡単な説明】

【図1】

本発明の実施形態に係る電圧制御発振器を示す等価回路図である。

【図2】

従来のLC-VCOを示す等価回路図である。

【図3】

横軸に制御電圧をとり縦軸に変容量ダイオードの容量をとって、変容量ダイオードのC-Vカーブを示すグラフ図である。

【符号の説明】

1 ; LC-VCO
3 ; カレントミラー回路部
4 ; 電流制御部
5、7 ; 負性抵抗部
6 ; LC回路部
11～13 ; ノード
14 ; 容量スイッチ部
C1、C2 ; 可変容量素子
C3～C8 ; 容量素子
L ; インダクタ
N1～N6 ; Nチャネルトランジスタ
P1～P4 ; Pチャネルトランジスタ
S1～S6 ; スイッチ
TG1、TG2、TG3、TG4 ; ゲート端子
Tout1、Tout2 ; 出力端子
GND ; 接地電位配線
VCC ; 電源電位配線
101 ; LC-VCO
102 ; 可変電流源回路
103、104 ; カレントミラー回路部
105、107 ; 負性抵抗部
106 ; LC回路部
111～114 ; ノード
120 ; 電圧範囲
D101、D102 ; 可変容量ダイオード
L101 ; インダクタ
N101～N104 ; Nチャネルトランジスタ
P101～P106 ; Pチャネルトランジスタ

T_B 1 0 1 ; バイアス電圧端子

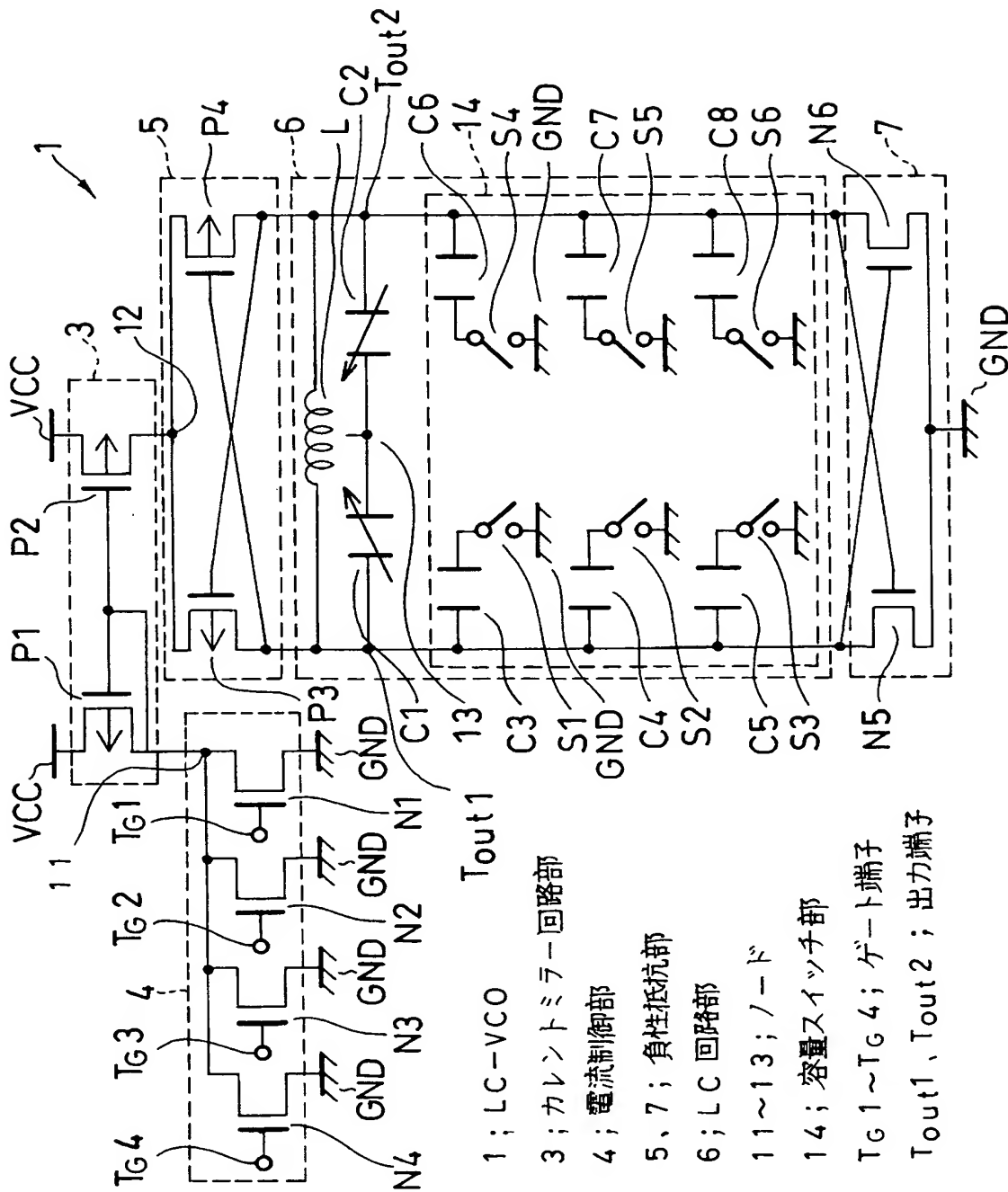
T_C 1 0 1 ; 制御電圧端子

T_{o u t} 1 0 1、T_{o u t} 1 0 2 ; 出力端子

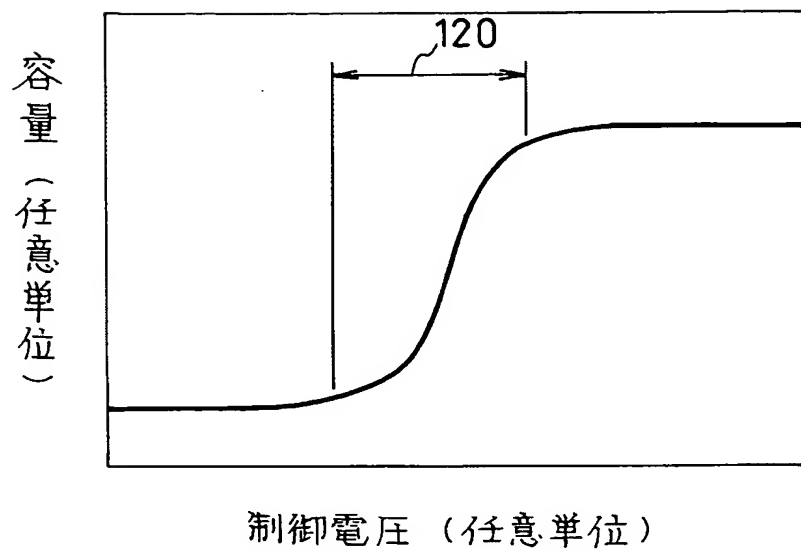
【書類名】

図面

【図 1】



【図 3】



【書類名】 要約書

【要約】

【課題】 動作を安定に保ちつつ位相雑音を低減させることが可能な電圧制御発振器を提供する。

【解決手段】 カレントミラー回路部 3 を電源電位配線 VCC に接続し、このカレントミラー回路部 3 と接地電位配線 GND との間に、カレントミラー回路部 3 に流す電流の大きさを調整する電流制御部 4 を設ける。また、カレントミラー回路部 3 と接地電位配線 GND との間に、電流制御部 4 と並列に、負性抵抗部 5、LC 回路部 6、負性抵抗部 7 をこの順に設ける。LC 回路部 6 には、インダクタ L、可変容量素子 C1 及び C2、容量素子 C3 乃至 C8 を設ける。そして、電流制御部 4 の N チャネルトランジスタ N2 並びに共振部 6 のスイッチ S1 及び S4、N チャネルトランジスタ N3 並びにスイッチ S2 及び S5、N チャネルトランジスタ N4 並びにスイッチ S3 及び S6 に、夫々同じ制御信号が入力されるようにし、連動して開閉するようにする。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 5 4 7 5 8
受付番号	5 0 3 0 0 3 3 6 7 1 0
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 3 月 3 日

< 認定情報・付加情報 >

【提出日】 平成15年 2月28日

次頁無

特願 2 0 0 3 - 0 5 4 7 5 8

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 6 2 9 3 1]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社